

Docket No.: 60188-670

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Taiji NODA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 02, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

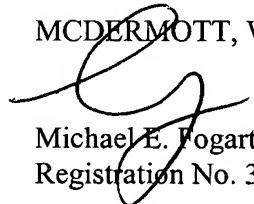
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-297513, filed October 10, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: October 2, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-670
NODA
~~Seppa~~
October 2, 2003

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月10日

出願番号

Application Number:

特願2002-297513

[ST.10/C]:

[JP 2002-297513]

出願人

Applicant(s):

松下電器産業株式会社

2003年 5月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3033618

【書類名】 特許願

【整理番号】 2926440034

【提出日】 平成14年10月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/784

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 野田 泰史

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板におけるチャネル形成領域に、質量数が相対的に大きい重イオンからなる第 1 導電型の第 1 の不純物イオンをイオン注入することにより、前記チャネル形成領域に不純物注入層を形成する第 1 の工程と、

前記半導体基板に第 2 の不純物イオンをイオン注入することにより、前記半導体基板の表面から前記不純物注入層よりも深い領域にまでアモルファス層を形成する第 2 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 2】 前記半導体基板はシリコンからなり、

前記第 2 の不純物イオンは IV 族元素からなることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記重イオンはインジウムであることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記重イオンの注入ドーズ量は $5 \times 10^{13} / \text{cm}^2$ 以上であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記第 2 の工程よりも後に、第 1 の熱処理を行なうことにより、前記チャネル形成領域に、前記不純物注入層から前記第 1 の不純物イオンが拡散してなる第 1 導電型の第 1 の拡散層を形成する第 3 の工程と、

前記半導体基板の上にゲート絶縁膜と該ゲート絶縁膜の上にゲート電極とを選択的に形成する第 4 の工程と、

前記半導体基板に、前記ゲート電極をマスクとして第 2 導電型の第 3 の不純物イオンをイオン注入する第 5 の工程と、

前記半導体基板に対して第 2 の熱処理を行なうことにより、前記第 3 の不純物イオンが拡散してなり、接合位置が相対的に浅い第 2 導電型の第 2 の拡散層を形成する第 6 の工程とをさらに備えていることを特徴とする請求項 1 ～ 4 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記第 1 の熱処理は、昇温レートを $100^\circ\text{C} / \text{秒}$ 以上とし、加熱温度を $850^\circ\text{C} \sim 1050^\circ\text{C}$ とし、該加熱時間を最大で 10 秒間保持するか

、又はピーク温度を保持しない急速熱処理であることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記第 2 の工程と前記第 3 の工程との間に、

前記不純物注入層から第 1 の不純物イオンが拡散せず且つ前記アモルファス層の結晶性を回復する温度で第 3 の熱処理を行なうことにより、前記第 1 の不純物イオンによる結晶ダメージを回復する工程をさらに備えていることを特徴とする請求項 1 ～ 5 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 前記第 3 の熱処理は、加熱温度が 4 0 0℃～6 0 0℃であることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第 3 の熱処理の加熱時間は 1 時間～2 0 時間であることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 0】 前記第 4 の工程と前記第 6 の工程との間に、

前記半導体基板に、前記ゲート電極をマスクとして第 1 導電型の第 4 の不純物イオンをイオン注入する工程と、

前記第 2 の熱処理により、前記第 2 の拡散層の下側に前記第 4 の不純物が拡散してなる第 1 導電型の第 3 の拡散層を形成する工程とをさらに備えていることを特徴とする請求項 5 ～ 9 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 1】 前記第 6 の工程よりも後に、

前記ゲート電極の側面に絶縁膜からなるサイドウォールを形成する工程と、

前記ゲート電極及びサイドウォールをマスクとして、前記半導体基板に第 2 導電型の第 5 の不純物イオンをイオン注入した後、第 4 の熱処理を行なうことにより、前記第 2 の拡散層の外側に、前記第 5 の不純物イオンが拡散してなり且つ前記第 2 の拡散層よりも深い接合面を持つ第 2 導電型の第 4 の拡散層を形成する工程とをさらに備えていることを特徴とする請求項 5 ～ 1 0 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 2】 上部にチャネル拡散層を有する半導体基板と、

前記半導体基板の上にゲート絶縁膜を介在させて形成されたゲート電極とを備え、

前記チャネル拡散層は、質量数が相対的に大きい重イオンからなる不純物イオ

ンが注入されてなり、且つゲルマニウムイオンを含むことを特徴とする半導体装置。

【請求項 1 3】 前記半導体基板における前記チャネル拡散層の下側の領域にもゲルマニウムイオンを含むことを特徴とする請求項 1 2 に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、さらなる微細化を達成できると共に、高速且つ低消費電力で動作可能な M I S 型の半導体装置の製造方法に関する。

【0 0 0 2】

【従来技術】

半導体集積回路の高集積化に伴って、M I S 型トランジスタの微細化が要請されており、その実現のためには、チャネル領域の不純物濃度が高濃度化された高濃度チャネル構造を持つ M I S 型トランジスタが求められる（例えば、特許文献 1 参照）。

【0 0 0 3】

以下、従来 M I S 型トランジスタの製造方法について図面を参照しながら説明する。

【0 0 0 4】

図 1 1 (a) ～図 1 1 (c) 、図 1 2 (a) 及び図 1 2 (b) は従来 M I S 型トランジスタの製造方法の工程順の断面構成を示している。

【0 0 0 5】

まず、図 1 1 (a) に示すように、P 型シリコンからなる半導体基板 2 0 0 に、注入エネルギーが 1 0 0 k e V で注入ドーズ量が $1 \times 10^{14} / \text{cm}^2$ 程度の P 型の不純物であるインジウム (I n) イオンをイオン注入した後、熱処理を行なって、半導体基板 2 0 0 のチャネル形成領域に P 型チャネル拡散層 2 0 3 を形成する。

【0 0 0 6】

次に、図 1 1 (b) に示すように、半導体基板 2 0 0 上に、膜厚が 1 . 5 n m 程度のゲート酸化膜 2 0 1 と、その上に膜厚が 1 5 0 n m 程度のポリシリコンからなるゲート電極 2 0 2 とを形成する。

【 0 0 0 7 】

次に、図 1 1 (c) に示すように、ゲート電極 2 0 2 をマスクとして半導体基板 2 0 0 に、注入エネルギーが 2 k e V で注入ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 程度の N 型の不純物であるヒ素 (A s) イオンをイオン注入して、N 型注入層 2 0 6 A を形成する。続いて、ゲート電極 2 0 2 をマスクとして半導体基板 2 0 0 に、注入エネルギーが 5 k e V で注入ドーズ量が $2 \times 10^{13} / \text{cm}^2$ 程度の P 型の不純物であるホウ素 (B) イオンをイオン注入することにより、P 型注入層 2 0 7 A を形成する。

【 0 0 0 8 】

次に、図 1 2 (a) に示すように、半導体基板 2 0 0 上に、膜厚が約 5 0 n m の窒化シリコン等からなる絶縁膜を堆積し、続いて、堆積した絶縁膜に対して異方性エッチングを行なって、ゲート電極 2 0 2 の側面上にサイドウォール 2 0 8 を形成する。

【 0 0 0 9 】

次に、図 1 2 (b) に示すように、ゲート電極 2 0 2 及びサイドウォール 2 0 8 をマスクとして半導体基板 2 0 0 に、注入エネルギーが 1 5 k e V で注入ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 程度の N 型の不純物であるヒ素イオンをイオン注入する。その後、半導体基板 2 0 0 に対して、高温且つ短時間の熱処理を行なって、半導体基板 2 0 0 におけるサイドウォール 2 0 8 の側方の領域に、N 型ソースドレイン拡散層 2 0 5 をそれぞれ形成する。このとき、半導体基板 2 0 0 における各 N 型ソースドレイン拡散層 2 0 5 と P 型チャネル拡散層 2 0 3 との間の領域に、N 型注入層 2 0 6 A が拡散した N 型エクステンション拡散層 2 0 6 が形成され、N 型エクステンション拡散層 2 0 6 の下側の領域に、P 型注入層 2 0 7 A が拡散した P 型ポケット拡散層 2 0 7 が形成される。

【 0 0 1 0 】

このように、従来の M I S 型トランジスタの製造方法は、短チャネル効果を顕

在化させることなくトランジスタの微細化を実現するために、P型チャネル拡散層203を形成する不純物として、ホウ素(B)よりも質量数が高い重イオンであるインジウム(In)イオンを用い、さらにインジウムイオンの注入ドーズ量をより大きくする傾向にある。

【0011】

【特許文献1】

特開平08-250729号公報(第6-8頁、第1-10図)

【0012】

【発明が解決しようとする課題】

しかしながら、半導体基板200に対して、高ドーズ量のインジウムイオンを注入すると、半導体基板200のイオン注入領域にアモルファス化が起こる。このため、その後の活性化のための熱処理時に、アモルファス層とクリスタル層との界面の下側近傍にEOR(End-of-Range)転位ループ欠陥層(以下、単に転位ループ欠陥層と呼ぶ。)が形成されてしまう。この転位ループ欠陥層にインジウムが強く偏析して、P型チャネル拡散層203の活性化濃度が低下してしまい、所定の不純物プロファイルを得られないという問題がある。

【0013】

また、P型チャネル拡散層203に転位ループ欠陥層が形成されてしまうと、この転位ループ欠陥層に沿ってリーク電流が流れるという問題をも生じる。

【0014】

図13は図11(a)のA-A線におけるP型チャネル拡散層203の不純物プロファイルを示している。ここで、横軸は基板表面からの深さを表わし、縦軸はインジウムの不純物濃度を対数で表わしている。図13から分かるように、P型チャネル拡散層203に含まれるインジウムイオンの分布は、熱処理によってアモルファス・クリスタル界面の近傍に形成される転位ループ欠陥層に偏析する。

【0015】

このように、前記従来の半導体装置の製造方法は、トランジスタの微細化に不可欠な高濃度チャネル拡散層を所定の不純物濃度を持つように形成することは困

難である。

【0016】

前記の問題に鑑み、本発明は、微細化に伴う短チャネル効果の顕在化を抑制しながらチャネル拡散層の濃度を確実に高くできるようにし、且つ低しきい値電圧及び高濃度チャネルに起因するリーク電流の増大を抑制できるようにすることを目的とする。

【0017】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、半導体装置の製造方法を、半導体基板にチャネル形成用の重イオンからなる第1の不純物イオンを注入した後に、第2の不純物イオンを注入することにより、アモルファス・クリスタル界面を第1の不純物イオンによる不純物注入層よりも深い領域にまで広げる（押し下げる）構成とする。

【0018】

具体的に、本発明に係る半導体装置の製造方法は、半導体基板におけるチャネル形成領域に、質量数が相対的に大きい重イオンからなる第1導電型の第1の不純物イオンをイオン注入することにより、チャネル形成領域に不純物注入層を形成する第1の工程と、半導体基板に第2の不純物イオンをイオン注入することにより、半導体基板の表面から不純物注入層よりも深い領域にまでアモルファス層を形成する第2の工程とを備えている。

【0019】

本発明の半導体装置の製造方法によると、半導体基板のチャネル形成領域に、質量数が相対的に大きい重イオンからなる第1の不純物イオンを注入して、チャネル形成領域に不純物注入層を形成し、その後、第2の不純物イオンをイオン注入することにより、半導体基板の表面から不純物注入層よりも深い領域にまでアモルファス層を形成する。これにより、アモルファス・クリスタル界面が不純物注入層よりも深い位置に押し広げられるので、この後に、結晶性を回復する熱処理を行なったとしても、不純物注入層にアモルファス・クリスタル界面が形成されることがない。従って、重イオンを注入した後の熱処理時において、不純物注

入層に転位ループ欠陥層が形成されなくなるので、チャンネル形成領域に注入された重イオンが転位ループ欠陥層に偏析して不活性化してしまうという現象を防止することができる。また、転位ループ欠陥層が形成されないため、転位ループ欠陥層に起因するリーク電流をも防止することもできる。

【 0 0 2 0 】

重イオンは、一般に、その質量効果により比較的到低い注入ドーズ量でも半導体基板をアモルファス化することが知られている。本発明においては、アモルファス・クリスタル界面をチャンネル形成領域よりも深い領域にまで拡大するため、チャンネル形成領域に対する重イオンの注入を該領域がアモルファス化する程度以上の高ドーズで行なったとしても、注入後の熱処理時においてチャンネル形成領域の直下に重イオンによる転位ループ欠陥層を生じなくなる。このため、チャンネル形成領域の直下に重イオンが偏析することを抑制することができるので、高濃度で且つ急峻なレトログレードなチャンネル形成領域を実現することができる。

【 0 0 2 1 】

本発明の半導体装置の製造方法において、半導体基板はシリコンからなり、第2の不純物イオンはIV族元素からなることが好ましい。

【 0 0 2 2 】

本発明の半導体装置の製造方法において、重イオンはインジウムであることが好ましい。

【 0 0 2 3 】

この場合に、重イオンの注入ドーズ量は $5 \times 10^{13} / \text{cm}^2$ 以上であることが好ましい。

【 0 0 2 4 】

本発明の半導体装置の製造方法は、第2の工程よりも後に、第1の熱処理を行なうことにより、チャンネル形成領域に、不純物注入層から第1の不純物イオンが拡散してなる第1導電型の第1の拡散層を形成する第3の工程と、半導体基板の上にゲート絶縁膜と該ゲート絶縁膜の上にゲート電極とを選択的に形成する第4の工程と、半導体基板に、ゲート電極をマスクとして第2導電型の第3の不純物イオンをイオン注入する第5の工程と、半導体基板に対して第2の熱処理を行な

うことにより、第3の不純物イオンが拡散してなり、接合位置が相対的に浅い第2導電型の第2の拡散層を形成する第6の工程とをさらに備えていることが好ましい。

【0025】

このようにすると、MIS型トランジスタに第2の拡散層からなるエクステンション拡散層を形成することができる。

【0026】

この場合に、第1の熱処理は、昇温レートを100℃/秒以上とし、加熱温度を850℃～1050℃とし、該加熱時間を最大で10秒間保持するか、又はピーク温度を保持しない急速熱処理であることが好ましい。

【0027】

本発明の半導体装置の製造方法は、第2の工程と第3の工程との間に、不純物注入層から第1の不純物イオンが拡散せず且つアモルファス層の結晶性を回復する温度で第3の熱処理を行なうことにより、第1の不純物イオンによる結晶ダメージを回復する工程をさらに備えていることが好ましい。

【0028】

このようにすると、第1の工程における重イオンの注入によって半導体基板に導入された注入ダメージを、残留欠陥の発生を抑制しながら結晶性の回復を行なうことができる。

【0029】

この場合に、第3の熱処理は加熱温度が400℃～600℃であることが好ましい。さらに、この場合の加熱時間は1時間～20時間であることが好ましい。

【0030】

また、本発明の半導体装置の製造方法は、第4の工程と第6の工程との間に、半導体基板に、ゲート電極をマスクとして第1導電型の第4の不純物イオンをイオン注入する工程と、第2の熱処理により、第2の拡散層の下側に第4の不純物が拡散してなる第1導電型の第3の拡散層を形成する工程とをさらに備えていることが好ましい。このようにすると、第2の拡散層の下側に第3の拡散層からなるポケット不純物拡散層を確実に形成することができる。

【 0 0 3 1 】

また、本発明の半導体装置の製造方法は、第 6 の工程よりも後に、ゲート電極の側面に絶縁膜からなるサイドウォールを形成する工程と、ゲート電極及びサイドウォールをマスクとして、半導体基板に第 2 導電型の第 5 の不純物イオンをイオン注入した後、第 4 の熱処理を行なうことにより、第 2 の拡散層の外側に、第 5 の不純物イオンが拡散してなり且つ第 2 の拡散層よりも深い接合面を持つ第 2 導電型の第 4 の拡散層を形成する工程とをさらに備えていることが好ましい。

【 0 0 3 2 】

このようにすると、半導体基板におけるサイドウォールの側方の領域に、ソースドレイン拡散層を形成することができる。

【 0 0 3 3 】

本発明の半導体装置は、上部にチャネル拡散層を有する半導体基板と、半導体基板の上にゲート絶縁膜を介在させて形成されたゲート電極とを備え、チャネル拡散層は、質量数が相対的に大きい重イオンからなる不純物イオンが注入されてなり且つゲルマニウムイオンを含む構成である。

【 0 0 3 4 】

本発明の半導体装置において、半導体基板におけるチャネル拡散層の下側の領域にもゲルマニウムイオンを含むことが好ましい。

【 0 0 3 5 】

【発明の実施の形態】

(第 1 の実施形態)

本発明の第 1 の実施形態について図面を参照しながら説明する。

【 0 0 3 6 】

図 1 は本発明の第 1 の実施形態に係る M I S 型トランジスタの断面構成を示している。

【 0 0 3 7 】

図 1 に示すように、例えば P 型シリコン (S i) からなる半導体基板 1 0 0 の主面上には、酸化シリコンからなるゲート絶縁膜 1 0 1 と、その上にポリシリコンからなるゲート電極 1 0 2 とが形成され、該ゲート電極 1 0 2 の両側面上には

窒化シリコンからなるサイドウォール 1 0 8 が形成されている。

【 0 0 3 8 】

半導体基板 1 0 0 におけるゲート絶縁膜 1 0 1 の下側の領域には、質量数が相対的に大きい重イオンであるインジウム (I n) イオンが注入されてなる P 型チャンネル拡散層 1 0 3 が形成されている。

【 0 0 3 9 】

半導体基板 1 0 0 におけるチャンネル拡散層 1 0 3 よりも深い領域には、イオン注入によって半導体基板 1 0 0 の導電性が変わらない IV 族元素、例えばゲルマニウム (G e) イオンがイオン注入された G e 含有層 1 0 4 が形成されている。

【 0 0 4 0 】

また、半導体基板 1 0 0 におけるサイドウォール 1 0 8 の両側方の領域には、例えばヒ素 (A s) イオンがイオン注入されてなる N 型高濃度拡散層 1 0 5 が形成されている。

【 0 0 4 1 】

P 型チャンネル拡散層 1 0 3 におけるサイドウォール 1 0 8 の下側には、ヒ素 (A s) イオンがイオン注入されてなる N 型エクステンション高濃度拡散層 1 0 6 が形成されており、該 N 型エクステンション高濃度拡散層 1 0 6 の下側には、P 型不純物濃度が半導体基板 1 0 0 よりも高い P 型ポケット拡散層 1 0 7 が形成されている。ここで、P 型ポケット拡散層 1 0 7 は、その上側に N 型エクステンション高濃度拡散層 1 0 6 に対して P N 接合面を持つことにより、動作時における空乏層の広がりを抑制する。

【 0 0 4 2 】

以下、前記のように構成された M I S 型半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 4 3 】

図 2 (a) ～図 2 (c) 乃至図 4 (a) ～図 4 (b) は本発明の第 1 の実施形態に係る M I S 型トランジスタの製造方法の工程順の断面構成を示している。

【 0 0 4 4 】

まず、図 2 (a) に示すように、P 型シリコンからなる半導体基板 1 0 0 のチ

チャンネル形成領域に、注入エネルギーが約 70 keV で注入ドーズ量が $5 \times 10^{13} / \text{cm}^2$ 程度の P 型の不純物イオンであって、質量数が相対的に大きい、例えばインジウム (In) イオンをイオン注入し、P 型チャンネル不純物層 103 \AA を形成する。

【0045】

次に、図 2 (b) に示すように、半導体基板 100 の上部に、IV 族元素であって、例えば注入エネルギーが約 250 keV で注入ドーズ量が $1 \times 10^{16} / \text{cm}^2$ 程度のゲルマニウム (Ge) イオンをイオン注入することにより、半導体基板 100 における P 型チャンネル不純物層 103 \AA よりも深い領域にアモルファス層 104 \AA を形成する。なお、アモルファス層 104 \AA を形成する IV 族元素にはゲルマニウムに代えてシリコンを用いてもよい。

【0046】

次に、図 2 (c) に示すように、ゲルマニウムをイオン注入した後に、半導体基板 100 を約 100°C / 秒以上、好ましくは約 200°C / 秒の昇温レートで且つ $850^\circ\text{C} \sim 1050^\circ\text{C}$ 程度にまで昇温し、ピーク温度を最大で 10 秒間程度保持するか又はピーク温度を保持しない急速熱処理 (RTA) を行なう。この急速熱処理により、半導体基板 100 の上部に、P 型チャンネル不純物層 103 \AA におけるインジウムイオンが拡散して第 1 の拡散層としての P 型チャンネル拡散層 103 が形成される。これと同時に、この急速熱処理によって、ゲルマニウムイオンの注入により形成されたアモルファス層 104 \AA は結晶状態に戻るが、ゲルマニウムを含むため、ここでは Ge 含有層 104 と呼ぶ。なお、ピーク温度を保持しない急速熱処理とは、熱処理温度がピーク温度に達すると同時に降温することをいう。

【0047】

次に、図 3 (a) に示すように、半導体基板 100 上に、膜厚が 1.5 nm 程度の酸化シリコンからなるゲート絶縁膜 101 と、その上に膜厚が 150 nm 程度のポリシリコン又はポリメタルからなるゲート電極 102 とを選択的に形成する。

【0048】

次に、図 3 (b) に示すように、ゲート電極 1 0 2 をマスクとして半導体基板 1 0 0 に、注入エネルギーが約 3 k e V で注入ドーズ量が $4 \times 10^{14} / \text{cm}^2$ 程度の N 型の不純物である、例えばヒ素 (A s) イオンをイオン注入して、N 型エクステンション高濃度不純物層 1 0 6 A を形成する。

【 0 0 4 9 】

次に、半導体基板 1 0 0 に対して、約 2 0 0 °C / 秒の昇温レートで且つ 8 5 0 °C ~ 1 0 5 0 °C 程度にまで昇温し、ピーク温度を最大で 1 0 秒間程度保持するか又はピーク温度を保持しない急速熱処理を行なう。この急速熱処理により、図 3 (c) に示すように、半導体基板 1 0 0 におけるゲート電極 1 0 2 の側方の領域に、N 型エクステンション高濃度不純物層 1 0 6 A に含まれるヒ素イオンが拡散してなり、比較的浅い接合面を持つ第 2 の拡散層としての N 型エクステンション高濃度拡散層 1 0 6 が形成される。さらに、この急速熱処理によって、ヒ素イオンのイオン注入により形成されたアモルファス層がクリスタル層に回復すると共に、注入時におけるアモルファス・クリスタル界面の下側に転位ループ欠陥層 1 0 9 が形成される。その結果、図 3 (c) に示すように、急速熱処理によって、転位ループ欠陥層 1 0 9 に P 型チャネル拡散層 1 0 3 に含まれるインジウムが偏析することにより、N 型エクステンション高濃度拡散層 1 0 6 の下側に、P 型チャネル拡散層 1 0 3 よりも高濃度な第 3 の拡散層としての P 型ポケット拡散層 1 0 7 が、転位ループ欠陥層と P 型チャネル拡散層 1 0 3 のインジウムとの相互作用によって自己整合的に形成される。

【 0 0 5 0 】

次に、例えば C V D 法により、半導体基板 1 0 0 の上にゲート電極 1 0 2 を含む全面にわたって膜厚が約 5 0 n m のシリコン窒化膜を堆積する。続いて、堆積したシリコン窒化膜に対して異方性エッチングを行なうことにより、図 4 (a) に示すように、ゲート電極 1 0 2 におけるゲート長方向側の両側面上にシリコン窒化膜からなるサイドウォール 1 0 8 を形成する。ここで、サイドウォール 1 0 8 には、窒化シリコンに代えて酸化シリコンを用いてもよく、さらには、酸化シリコンと窒化シリコンとからなる積層膜を用いてもよい。

【 0 0 5 1 】

次に、ゲート電極102及びサイドウォール108をマスクとして、半導体基板100に、注入エネルギーが約15 keVで注入ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 程度のN型の不純物であるヒ素イオンをイオン注入する。続いて、半導体基板100に対して、約200℃/秒～250℃/秒の昇温レートで且つ850℃～1050℃程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しない急速熱処理を行なう。この急速熱処理により、図4(b)に示すように、半導体基板100におけるサイドウォール108の側方の領域に、ヒ素イオンが拡散してなり、N型エクステンション高濃度拡散層106と接続され且つ該拡散層106よりも深い接合面を持つ第4の拡散層としてのN型高濃度拡散層105を形成する。

【0052】

ここで、図5(a)～図5(c)に、図2(a)～図2(c)に示す各工程における不純物プロファイルを示す。横軸は基板表面からの深さを表わし、縦軸は不純物濃度を対数で表わしている。

【0053】

まず、図5(a)に示すように、図2(a)に示したP型チャネル不純物層103Aを形成するインジウム(In)イオンのイオン注入によって、半導体基板100におけるインジウムの不純物濃度のピーク値を示す領域の直下にアモルファス・クリスタル(a/c)界面が形成される。

【0054】

次に、図5(b)に示すように、図2(b)に示したアモルファス層104Aを形成するゲルマニウム(Ge)イオンの比較的深いイオン注入によって、半導体基板100におけるゲルマニウムの不純物濃度のピーク値よりも深い位置にまでアモルファス・クリスタル界面が移動する。

【0055】

次に、図5(c)に示すように、図2(c)に示した急速熱処理によって、インジウム及びゲルマニウムの各イオン注入により形成されたアモルファス層104Aは結晶層に戻る。

【0056】

通常、シリコン結晶は、インジウムを注入ドーズ量が約 $5 \times 10^{13} / \text{cm}^2$ 以上の注入条件でイオン注入するとアモルファス化される。第 1 の実施形態においては、約 $5 \times 10^{13} / \text{cm}^2$ の注入ドーズ量でインジウムをイオン注入するため、アモルファス層 1 0 4 Å が形成される。そこで、第 1 の実施形態においては、インジウムをイオン注入した後に、さらに、半導体基板 1 0 0 の導電型を変えることがないゲルマニウムをイオン注入するため、アモルファス・クリスタル (a / c) 界面が、P 型チャネル不純物層 1 0 3 Å の直下の領域からより深い位置に広げられる。その結果、注入されたインジウムが転位ループ欠陥層に偏析することなく、高濃度の P 型チャネル拡散層 1 0 3 を確実に形成することができる。

【 0 0 5 7 】

以上説明したように、第 1 の実施形態によると、P 型チャネル拡散層 1 0 3 を形成する際に、質量数が相対的に大きい重イオンであるインジウムイオンを $5 \times 10^{13} / \text{cm}^2$ 程度のドーズ量で注入した後に、半導体基板 1 0 0 を構成する元素と同族であるゲルマニウムイオンを用いたアモルファス化注入を行なうことにより、インジウムの注入で形成されたアモルファス・クリスタル界面を基板の深さ方向に広げることができる。

【 0 0 5 8 】

このように、アモルファス・クリスタル界面を基板の深さ方向に広げることにより、P 型チャネル不純物層 1 0 3 Å から P 型チャネル拡散層 1 0 3 を形成する熱処理時に、インジウムイオンの拡散に影響を及ぼす転位ループ欠陥層が P 型チャネル拡散層 1 0 3 の近傍に形成されることがなくなる。その結果、チャネル形成用の重イオンであるインジウムイオンをアモルファス化が生じるドーズ量以上の高ドーズで注入しても、従来のように、転位ループ欠陥層にインジウムが強く偏析して、P 型チャネル拡散層 1 0 3 の活性化濃度が低下してしまうという現象を避けることができる。従って、第 1 の実施形態によると、チャネル拡散層形成用の重イオンのイオン注入を分割して行なわなくとも、ただ 1 度のイオン注入によって、高濃度のチャネル拡散層を形成することができる。

【 0 0 5 9 】

また、IV 族元素からなる不純物イオンのアモルファス化注入により、アモルフ

アス・クリスタル界面がP型チャネル拡散層103から離れて、転位ループ欠陥層がチャネル領域の近傍には形成されないため、該転位ループ欠陥層に起因するリーク電流をも防止することもできる。

【0060】

以上のように、第1の実施形態によると、重イオンであるインジウムイオンを用いた高濃度なP型チャネル拡散層103を確実に形成することができる。

【0061】

また、P型チャネル拡散層103の形成に、質量数が相対的に大きいインジウムイオンを用いているため、P型チャネル拡散層103における基板表面の近傍において不純物濃度が低くなり、一方、基板表面から少し深い領域においては不純物濃度が高くなる、いわゆるレトログレードな不純物プロファイルを得ることができる。このため、主に、不純物散乱起因のキャリアの移動度低下を防ぐことができ、短チャネル効果の顕在化を抑制することができるので、トランジスタの微細化を確実に図ることができる。

【0062】

ところで、N型エクステンション高濃度不純物層106Aを形成する際のヒ素イオンの注入時には、半導体基板100がアモルファス化する。このため、ヒ素イオンの注入後の急速熱処理によって、アモルファス・クリスタル界面の下側に転位ループ欠陥層109が形成される。インジウムは、転位ループ欠陥層109に強く偏析することが知られており、本実施形態のように、P型チャネル拡散層103の不純物イオンにインジウムを用いていることから、転位ループ欠陥層109、すなわちN型エクステンション高濃度拡散層106の接合面の下側にインジウムが強く偏析した領域が形成される。この領域がP型ポケット拡散層107として機能するため、P型ポケット拡散層107を形成する工程をわざわざ設ける必要がない。

【0063】

また、P型ポケット拡散層107を積極的に形成する方法として、図3(b)のヒ素イオンの注入に続いて、ゲート電極102をマスクとして半導体基板100にP型の不純物を注入してもよい。例えば、注入エネルギーが約15keVで

注入ドーズ量が $1 \times 10^{13} / \text{cm}^2$ 程度の P 型の不純物であるホウ素 (B) をイオン注入することにより、P 型ポケット拡散層 10^7 の不純物濃度の不足分を補うことができる。

【 0 0 6 4 】

なお、第 1 の実施形態においては、P 型チャネル拡散層 10^3 の不純物イオンにインジウムイオンを用いたが、これに代えて、ホウ素イオンよりも重く且つ P 型となるイオンであればよく、また、ホウ素イオンと該ホウ素イオンよりも重い P 型となるイオンとの両方のイオンを用いてもよい。さらには、インジウムよりも質量数大きい 3 B 族元素を用いてもよい。

【 0 0 6 5 】

また、第 1 の実施形態は、半導体装置として N チャネル M I S 型トランジスタを用いたが、これに代えて、P チャネル M I S 型トランジスタであってもよい。P チャネル M I S 型トランジスタの場合には、チャネル拡散層を構成する N 型の不純物イオンとして、例えば、アンチモン (S b) イオン又はビスマス (B i) イオン等のようにヒ素イオンよりも重い 5 B 族元素を用いることができる。

【 0 0 6 6 】

(第 2 の実施形態)

本発明の第 2 の実施形態について図面を参照しながら説明する。

【 0 0 6 7 】

図 6 (a) ~ 図 6 (c) 乃至図 8 (a) ~ 図 8 (c) は本発明の第 2 の実施形態に係る M I S 型トランジスタの製造方法の工程順の断面構成を示している。

【 0 0 6 8 】

まず、図 6 (a) に示すように、P 型シリコンからなる半導体基板 100 のチャネル形成領域に、注入エネルギーが約 70 keV で注入ドーズ量が $5 \times 10^{13} / \text{cm}^2$ 程度の P 型の不純物イオンであって、質量数が相対的に大きい、例えばインジウム (I n) イオンをイオン注入し、P 型チャネル不純物層 10^3 A を形成する。

【 0 0 6 9 】

次に、図 6 (b) に示すように、半導体基板 100 の上部に、IV 族元素であっ

て、例えば注入エネルギーが約 250 keV で注入ドーズ量が $1 \times 10^{16} / \text{cm}^2$ 程度のゲルマニウム (Ge) イオンをイオン注入することにより、半導体基板 100 における P 型チャネル不純物層 103 A よりも深い領域にアモルファス層 104 A を形成する。なお、ここでも、アモルファス層 104 A を形成する IV 族元素にはゲルマニウムに代えてシリコンを用いてもよい。

【0070】

次に、図 6 (c) に示すように、ゲルマニウムイオンを注入した後に、半導体基板 100 を $400^\circ\text{C} \sim 600^\circ\text{C}$ 程度の温度にまで昇温し、1 時間～20 時間程度、好ましくは 5 時間～15 時間程度の熱処理を加えることにより、注入されたインジウムイオン及びゲルマニウムイオンがほとんど拡散することなく、該イオンのイオン注入による結晶ダメージが回復されて、アモルファス層 104 A が結晶状態の Ge 含有層 104 となる。このように、比較的到低温で且つ長時間の熱処理をアモルファス層 104 A に加えることにより、シリコンからなる半導体基板 100 のアモルファス層 104 A は結晶層 (Ge 含有層 104) に再成長する。この固相再成長現象は、一般には、Solid Phase Epitaxial (SPE) regrowth として知られており、 400°C 程度の低温の熱処理が加わった段階で、この SPE regrowth が始まり、再結晶化が進行する。この 400°C 付近における一般的なドーパントの拡散係数は点欠陥の拡散係数と比べて十分に小さく、ドーパントはほとんど拡散することがない。従って、この比較的到低温の熱処理を十分に長い時間行なうことにより、不純物原子をほとんど拡散させることなくアモルファス・クリスタル界面の直下に存在する過剰な点欠陥を減少させることができ、且つアモルファス層から結晶層への相転移を起こすことができる。

【0071】

このように、第 2 の実施形態においては、P 型チャネル不純物層 103 A の形成時のイオン注入により形成されるアモルファス・クリスタル界面を半導体基板 100 のより深い位置にまで広げる (押し下げる) ために行なうゲルマニウムイオンの注入工程の後に、低温の熱処理を行なうことを特徴とする。これにより、インジウム及びゲルマニウムの高ドーズ注入により形成されたアモルファス層 104 A の結晶構造を回復させる。この熱処理温度は十分に低いため、過渡増速拡

散による不純物拡散はほとんど起こらず、結晶性の回復のみが進行するので、P型チャネル不純物層103Aの接合面の位置は、インジウムイオンの注入直後とほとんど変わらない。

【0072】

次に、図7(a)に示すように、半導体基板100を約100℃/秒以上、好ましくは約200℃/秒の昇温レートで且つ850℃～1050℃程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しない急速熱処理(RTA)を行なう。この急速熱処理により、半導体基板100の上部に、P型チャネル不純物層103Aにおけるインジウムイオンが拡散して第1の拡散層としてのP型チャネル拡散層103が形成される。この急速熱処理により、図6(c)に示す工程の低温熱処理では得られないインジウムイオンの活性化を行なう。

【0073】

次に、図7(b)に示すように、半導体基板100上に、膜厚が1.5nm程度の酸化シリコンからなるゲート絶縁膜101と、その上に膜厚が150nm程度のポリシリコン又はポリメタルからなるゲート電極102とを選択的に形成する。

【0074】

次に、図7(c)に示すように、ゲート電極102をマスクとして半導体基板100に、注入エネルギーが約3keVで注入ドーズ量が $4 \times 10^{14} / \text{cm}^2$ 程度のN型の不純物である、例えばヒ素(As)イオンをイオン注入して、N型エクステンション高濃度不純物層106Aを形成する。

【0075】

次に、半導体基板100に対して、約200℃/秒の昇温レートで且つ850℃～1050℃程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しない急速熱処理を行なう。この急速熱処理により、図8(a)に示すように、半導体基板100におけるゲート電極102の側方の領域に、N型エクステンション高濃度不純物層106Aに含まれるヒ素イオンが拡散してなり、比較的に浅い接合面を持つ第2の拡散層としてのN型エクステンシ

ン高濃度拡散層 1 0 6 が形成される。さらに、この急速熱処理によって、ヒ素イオンのイオン注入により形成されたアモルファス層がクリスタル層に回復すると共に、注入時におけるアモルファス・クリスタル界面の下側に転位ループ欠陥層 1 0 9 が形成される。その結果、図 8 (a) に示すように、急速熱処理によって、転位ループ欠陥層 1 0 9 に P 型チャネル拡散層 1 0 3 に含まれるインジウムが偏析することにより、N 型エクステンション高濃度拡散層 1 0 6 の下側に、P 型チャネル拡散層 1 0 3 よりも高濃度な第 3 の拡散層としての P 型ポケット拡散層 1 0 7 が、転位ループ欠陥層と P 型チャネル拡散層 1 0 3 のインジウムとの相互作用によって自己整合的に形成される。

【 0 0 7 6 】

次に、例えば C V D 法により、半導体基板 1 0 0 の上にゲート電極 1 0 2 を含む全面にわたって膜厚が約 5 0 n m のシリコン窒化膜を堆積する。続いて、堆積したシリコン窒化膜に対して異方性エッチングを行なうことにより、図 8 (b) に示すように、ゲート電極 1 0 2 におけるゲート長方向側の両側面上にシリコン窒化膜からなるサイドウォール 1 0 8 を形成する。ここで、サイドウォール 1 0 8 には、窒化シリコンに代えて酸化シリコンを用いてもよく、さらには、酸化シリコンと窒化シリコンとからなる積層膜を用いてもよい。

【 0 0 7 7 】

次に、ゲート電極 1 0 2 及びサイドウォール 1 0 8 をマスクとして、半導体基板 1 0 0 に、注入エネルギーが約 1 5 k e V で注入ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 程度の N 型の不純物であるヒ素イオンをイオン注入する。続いて、半導体基板 1 0 0 に対して、約 2 0 0 ° C / 秒 ~ 2 5 0 ° C / 秒の昇温レートで且つ 8 5 0 ° C ~ 1 0 5 0 ° C 程度にまで昇温し、ピーク温度を最大で 1 0 秒間程度保持するか又はピーク温度を保持しない急速熱処理を行なう。この急速熱処理により、図 8 (c) に示すように、半導体基板 1 0 0 におけるサイドウォール 1 0 8 の側方の領域に、ヒ素イオンが拡散してなり、N 型エクステンション高濃度拡散層 1 0 6 と接続され且つ該拡散層 1 0 6 よりも深い接合面を持つ第 4 の拡散層としての N 型高濃度拡散層 1 0 5 を形成する。

【 0 0 7 8 】

ここで、図 9 (a) ～図 9 (c) 及び図 10 に、図 6 (a) ～図 6 (c) 及び図 7 (a) に示す各工程における不純物プロファイルを示す。横軸は基板表面からの深さを表わし、縦軸は不純物濃度を対数で表わしている。

【 0 0 7 9 】

まず、図 9 (a) に示すように、図 6 (a) に示した P 型チャネル不純物層 103 A を形成するインジウム (I n) イオンのイオン注入によって、半導体基板 100 におけるインジウムの不純物濃度のピーク値を示す領域の直下にアモルファス・クリスタル (a / c) 界面が形成される。

【 0 0 8 0 】

次に、図 9 (b) に示すように、図 6 (b) に示したアモルファス層 104 A を形成するゲルマニウム (G e) イオンの比較的深いイオン注入によって、半導体基板 100 におけるゲルマニウムの不純物濃度のピーク値よりも深い位置にまでアモルファス・クリスタル界面が移動する。

【 0 0 8 1 】

次に、図 9 (c) に示すように、図 6 (c) に示した低温熱処理によって、インジウム及びゲルマニウムの各イオン注入により形成されたアモルファス層 104 A は結晶層に戻る。このとき、それぞれイオン注入されたインジウムイオン及びゲルマニウムイオンはほとんど拡散しない。また、ゲルマニウムによるアモルファス・クリスタル界面の直下には残留欠陥 (転位ループ欠陥) 層が生じる。

【 0 0 8 2 】

次に、図 10 に示すように、図 7 (a) に示した急速熱処理によって、インジウムイオンは拡散し、また、ゲルマニウムによる残留欠陥層が消滅する。

【 0 0 8 3 】

以上説明したように、第 2 の実施形態によると、P 型チャネル拡散層 103 を形成する際に、質量数が相対的に大きい重イオンであるインジウムイオンを $5 \times 10^{13} / \text{cm}^2$ 程度のドーズ量で注入した後に、半導体基板 100 を構成する元素と同族のゲルマニウムイオンを用いたアモルファス化注入を行なうことにより、インジウムの注入で形成されたアモルファス・クリスタル界面を基板の深さ方向に広げることができる。その結果、P 型チャネル不純物層 103 A から P 型チ

ヤネル拡散層 1 0 3 を形成する熱処理時に、インジウムイオンの拡散に影響を及ぼす転位ループ欠陥層が P 型チャネル拡散層 1 0 3 の近傍に形成されることがない。

【 0 0 8 4 】

さらに、第 2 の実施形態においては、図 6 (b) に示すゲルマニウムイオンのイオン注入工程と、図 7 (a) に示すインジウムイオンを活性化する高温の急速熱処理 (spike RTA) 工程との間に、図 6 (c) に示す低温熱処理を行なうことにより、アモルファス層 1 0 4 A の結晶性を回復する。この低温熱処理は温度が十分に低いため、過渡増速拡散となるような不純物拡散はほとんど起こらず、従って、アモルファス層 1 0 4 A の再成長のみが進行する。その結果、高温の急速熱処理のみにより、アモルファス層 1 0 4 A の結晶性の回復とインジウムイオンの活性化とを同時に行なう第 1 の実施形態と比べて、インジウムの拡散の深さを確実に浅くすることができる。

【 0 0 8 5 】

これにより、チャネル形成用の重イオンであるインジウムイオンをアモルファス化が生じるドーズ量以上の高ドーズで注入しても、従来のように、転位ループ欠陥層にインジウムが強く偏析して、P 型チャネル拡散層 1 0 3 の活性化濃度が低下してしまうという現象を避けることができる。従って、第 2 の実施形態によると、チャネル拡散層形成用の重イオンのイオン注入を分割して行なわなくとも、ただ 1 度のイオン注入によって、高濃度のチャネル拡散層を形成することができる。

【 0 0 8 6 】

また、IV 族元素からなる不純物イオンのアモルファス化注入により、アモルファス・クリスタル界面が P 型チャネル拡散層 1 0 3 から離れて、転位ループ欠陥層がチャネル領域の近傍に形成されないため、該転位ループ欠陥層に起因するリーク電流をも防止することもできる。

【 0 0 8 7 】

以上のように、第 2 の実施形態によると、重イオンであるインジウムイオンを用いた高濃度な P 型チャネル拡散層 1 0 3 を確実に形成することができる。

【 0 0 8 8 】

また、P型チャネル拡散層103の形成に、質量数が相対的に大きいインジウムイオンを用いているため、P型チャネル拡散層103における基板表面の近傍において不純物濃度が低くなり、一方、基板表面から少し深い領域においては不純物濃度が高くなる、いわゆるレトログレードな不純物プロファイルを得ることができる。このため、主に、不純物散乱起因のキャリアの移動度低下を防ぐことができ、短チャネル効果の顕在化を抑制することができるので、トランジスタの微細化を確実に図ることができる。

【 0 0 8 9 】

ところで、N型エクステンション高濃度不純物層106Aを形成する際のヒ素イオンの注入時には、半導体基板100がアモルファス化する。このため、ヒ素イオンの注入後の急速熱処理によって、アモルファス・クリスタル界面の下側に転位ループ欠陥層109が形成される。インジウムは、転位ループ欠陥層109に強く偏析することが知られており、本実施形態のように、P型チャネル拡散層103の不純物イオンにインジウムを用いていることから、転位ループ欠陥層109、すなわちN型エクステンション高濃度拡散層106の接合面の下側にインジウムが強く偏析した領域が形成される。この領域がP型ポケット拡散層107として機能するため、P型ポケット拡散層107を形成する工程をわざわざ設ける必要がない。

【 0 0 9 0 】

また、P型ポケット拡散層107を積極的に形成する方法として、図7(c)のヒ素イオンの注入に続いて、ゲート電極102をマスクとして半導体基板100にP型の不純物を注入してもよい。例えば、注入エネルギーが約15keVで注入ドーズ量が $1 \times 10^{13} / \text{cm}^2$ 程度のP型の不純物であるホウ素(B)をイオン注入することにより、P型ポケット拡散層107の不純物濃度の不足分を補うことができる。

【 0 0 9 1 】

なお、第2の実施形態においても、P型チャネル拡散層103の不純物イオンにインジウムイオンを用いたが、これに代えて、ホウ素イオンよりも重く且つP

型となるイオンであればよく、また、ホウ素イオンと該ホウ素イオンよりも重い P 型となるイオンとの両方のイオンを用いてもよい。さらには、インジウムよりも質量数大きい 3 B 族元素を用いてもよい。

【0092】

また、第 2 の実施形態は、半導体装置として N チャネル M I S 型トランジスタを用いたが、これに代えて、P チャネル M I S 型トランジスタであってもよい。P チャネル M I S 型トランジスタの場合には、チャネル拡散層を構成する N 型の不純物イオンとして、例えば、アンチモン (S b) イオン又はビスマス (B i) イオン等のようにヒ素イオンよりも重い 5 B 族元素を用いることができる。

【0093】

また、図 7 (a) に示す急速熱処理工程を省略してもよい。この場合には、図 8 (a) に示す急速熱処理工程により、P 型チャネル拡散層 1 0 3、N 型エクステンション高濃度拡散層 1 0 6 及び P 型ポケット拡散層 1 0 7 が同時に形成される。

【0094】

【発明の効果】

本発明に係る半導体装置の製造方法によると、M I S 型トランジスタの微細化に必須の構成であるチャネル形成領域に対する重イオンの注入を半導体基板がアモルファス化する程度のドーズ量で行なったとしても、重イオンの注入後にさらに他のイオンの注入を行なってアモルファス・クリスタル界面を基板の深い位置に押し下げるため、チャネル形成領域及びその近傍にはアモルファス・クリスタル界面が存在しなくなる。その結果、チャネル形成領域には熱処理時に転位ループ欠陥層が形成されなくなるため、注入された重イオンが転位ループ欠陥層により不活性化してしまうことを防止することができる。また、転位ループ欠陥層が形成されないため、転位ループ欠陥層に起因するリーク電流を防止することもできる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態に係る M I S 型トランジスタを示す構成断面図である。

【図 2】

(a) ～ (c) は本発明の第 1 実施形態に係る M I S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 3】

(a) ～ (c) は本発明の第 1 実施形態に係る M I S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 4】

(a) 及び (b) は本発明の第 1 実施形態に係る M I S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 5】

(a) ～ (c) は図 2 (a) ～図 2 (c) に示す各工程における不純物プロファイルを示すグラフである。

【図 6】

(a) ～ (c) は本発明の第 2 実施形態に係る M I S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 7】

(a) ～ (c) は本発明の第 2 実施形態に係る M I S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 8】

(a) ～ (c) は本発明の第 2 実施形態に係る M I S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 9】

(a) ～ (c) は図 6 (a) ～図 6 (c) に示す各工程における不純物プロファイルを示すグラフである。

【図 1 0】

図 7 (a) に示す工程における不純物プロファイルを示すグラフである。

【図 1 1】

(a) ～ (c) は従来の M I S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 1 2】

(a) 及び (b) は従来の M I S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 1 3】

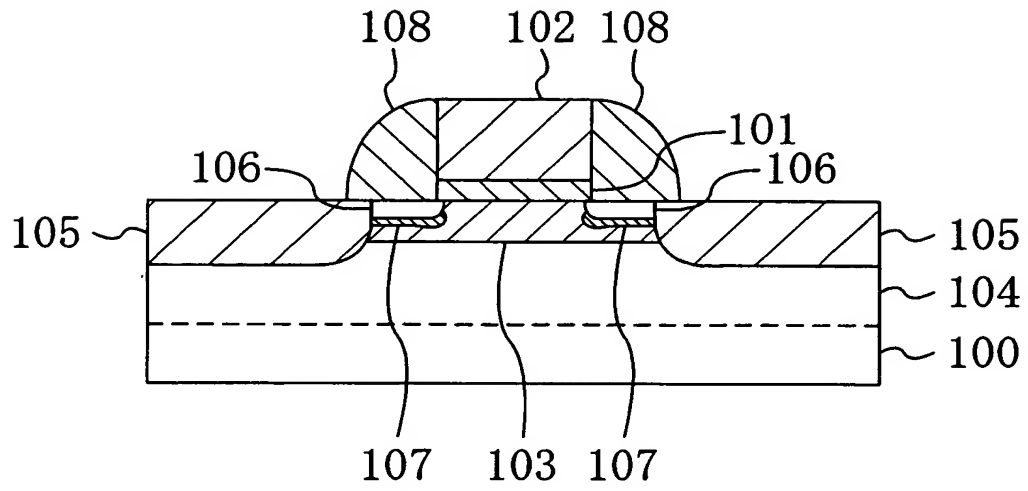
従来の M I S 型トランジスタにおけるチャネル拡散層形成後の基板表面からの深さと不純物濃度との関係を示すグラフである。

【符号の説明】

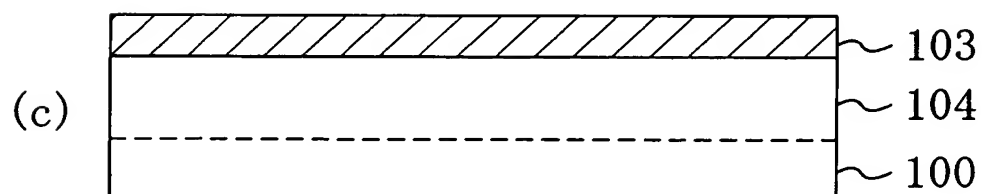
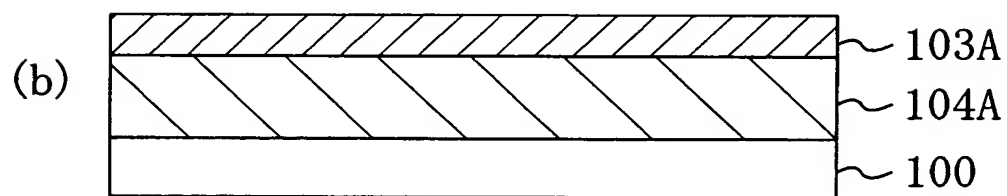
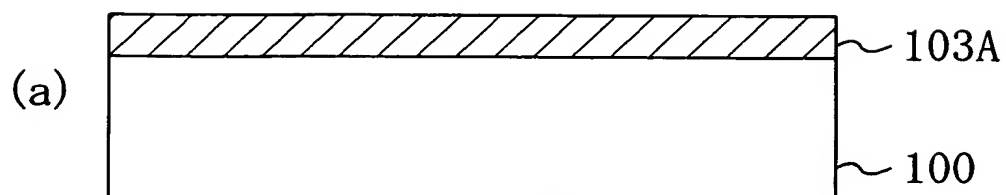
- 1 0 0 P 型半導体基板
- 1 0 1 ゲート絶縁膜
- 1 0 2 ゲート電極
- 1 0 3 P 型チャネル拡散層 (第 1 の拡散層)
- 1 0 3 A P 型チャネル不純物層 (不純物注入層)
- 1 0 4 G e 含有層
- 1 0 4 A アモルファス層
- 1 0 5 N 型高濃度拡散層 (第 4 の拡散層)
- 1 0 6 N 型エクステンション高濃度拡散層 (第 2 の拡散層)
- 1 0 6 A N 型エクステンション高濃度不純物層
- 1 0 7 P 型ポケット拡散層 (第 3 の拡散層)
- 1 0 7 A P 型ポケット不純物層
- 1 0 8 サイドウォール
- 1 0 9 転位ループ欠陥層

【書類名】 図面

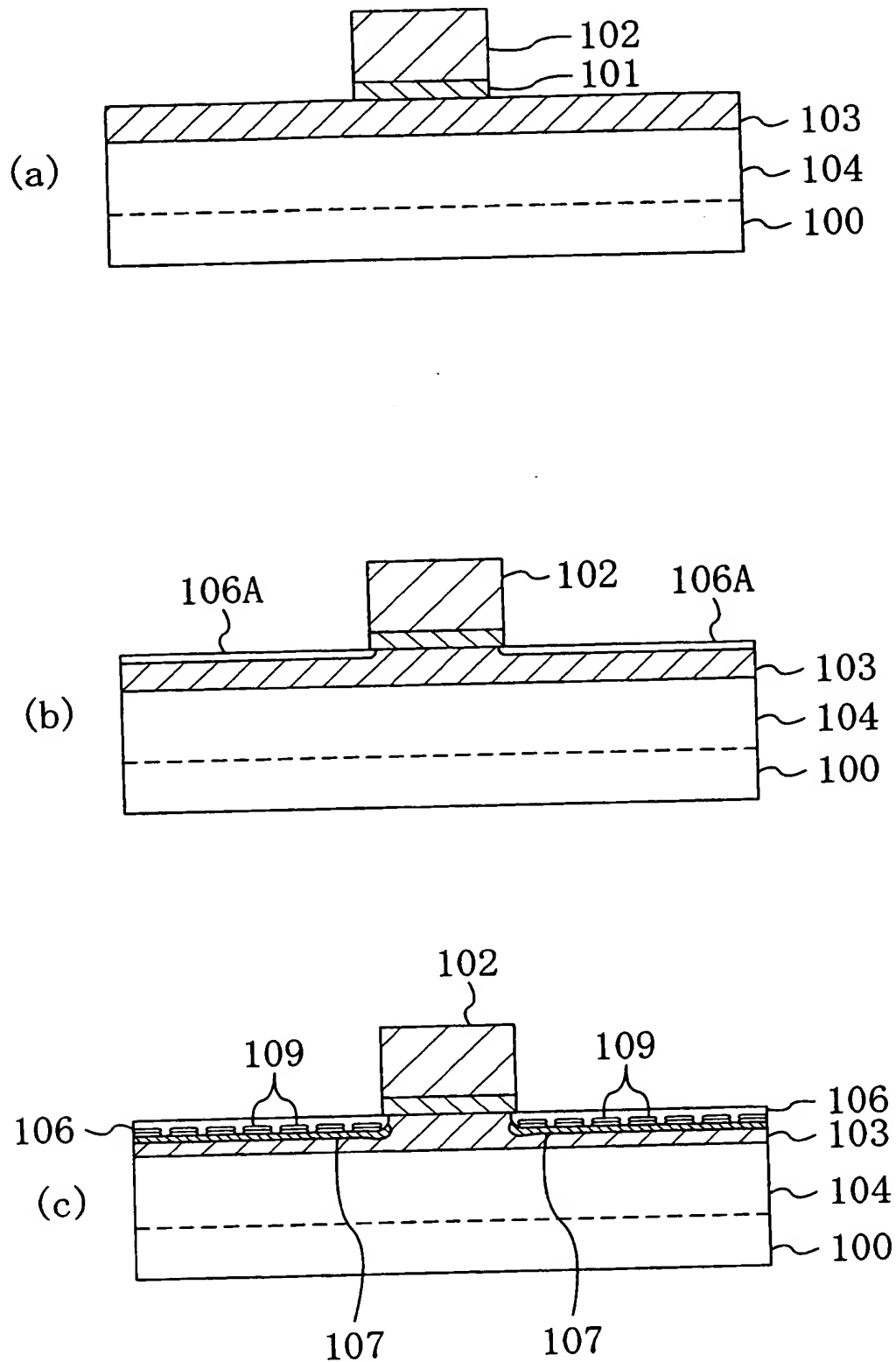
【図 1】



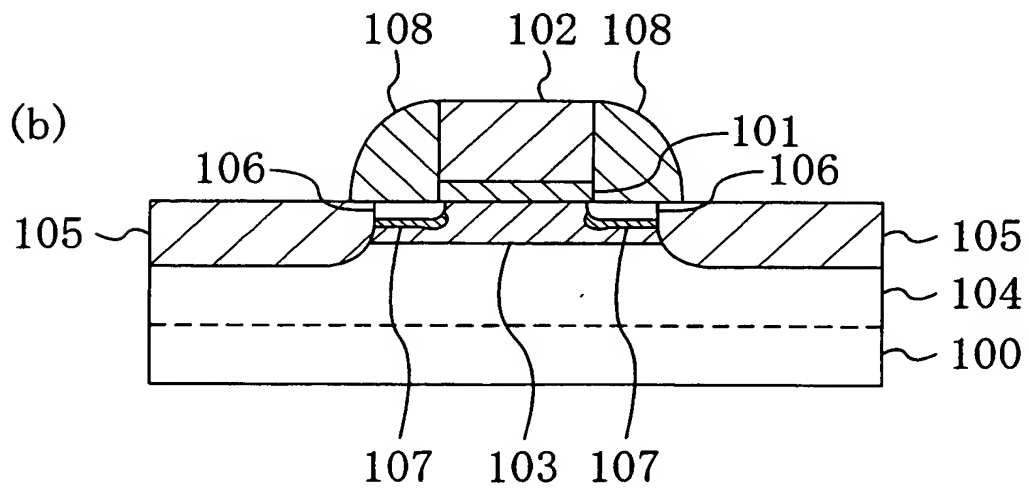
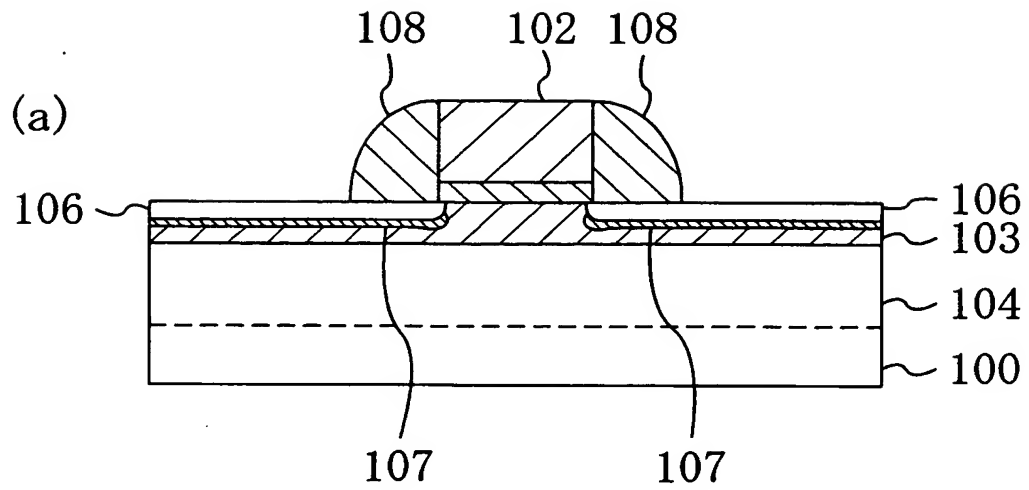
【図 2】



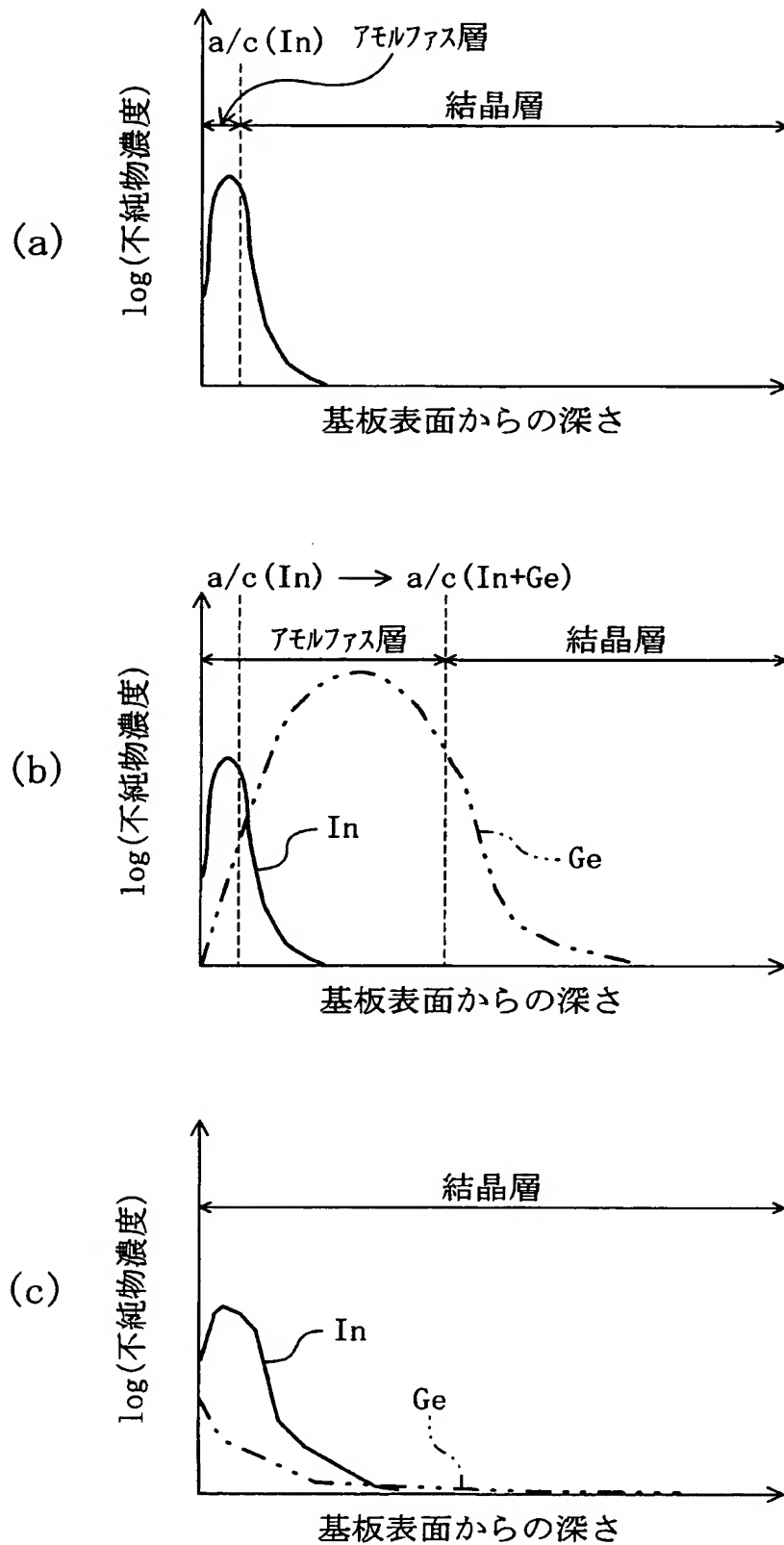
【図 3】



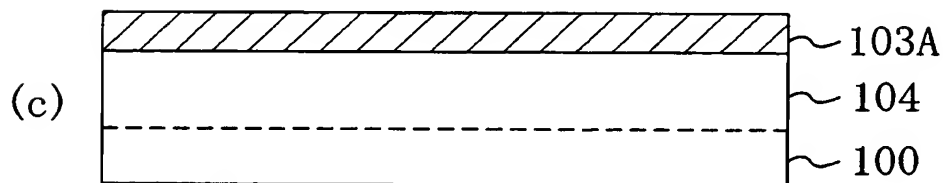
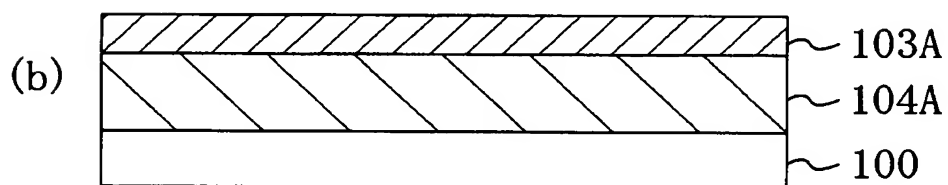
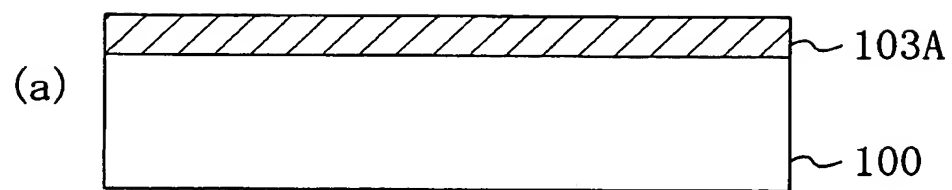
【図 4】



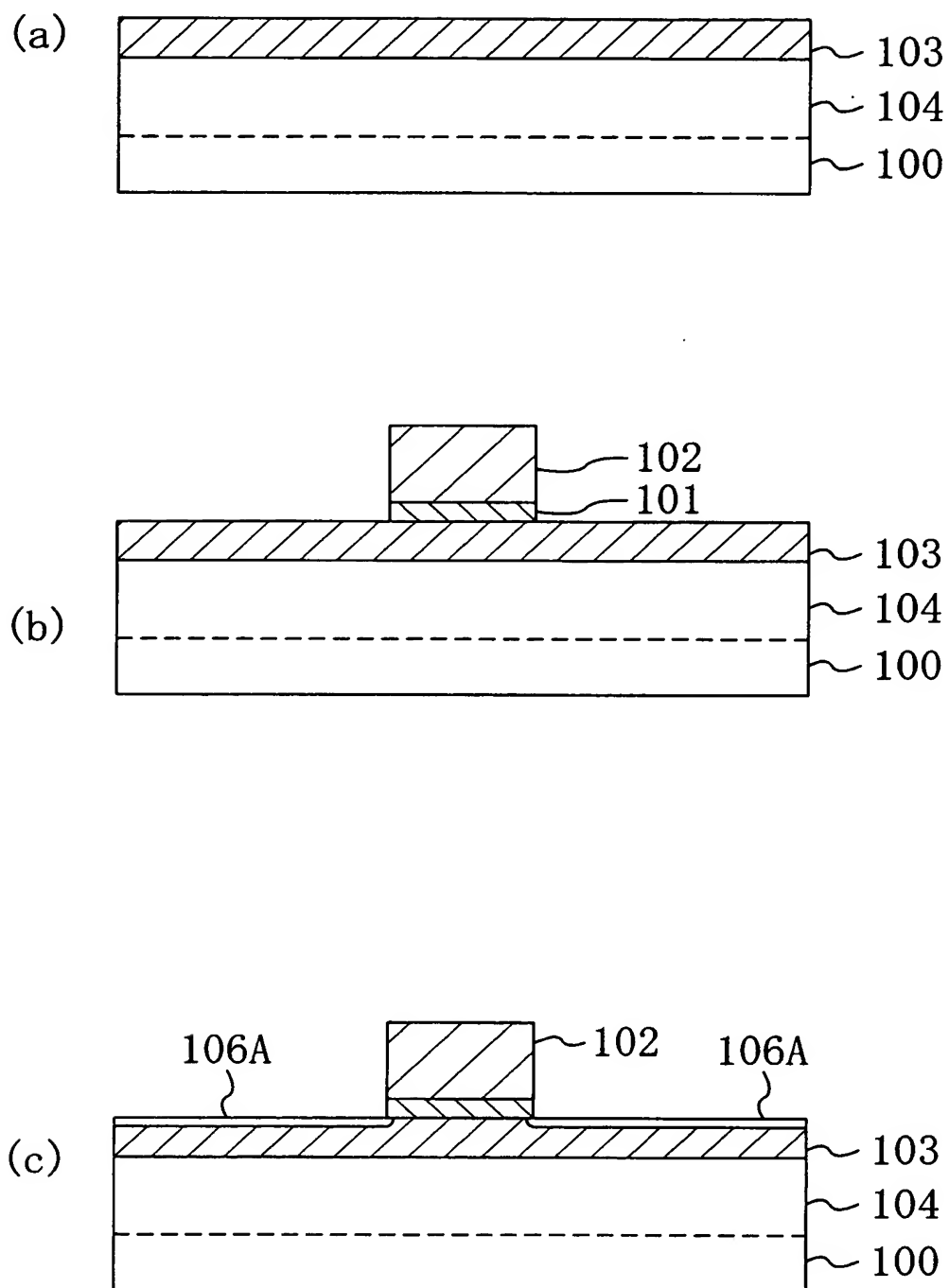
【図 5】



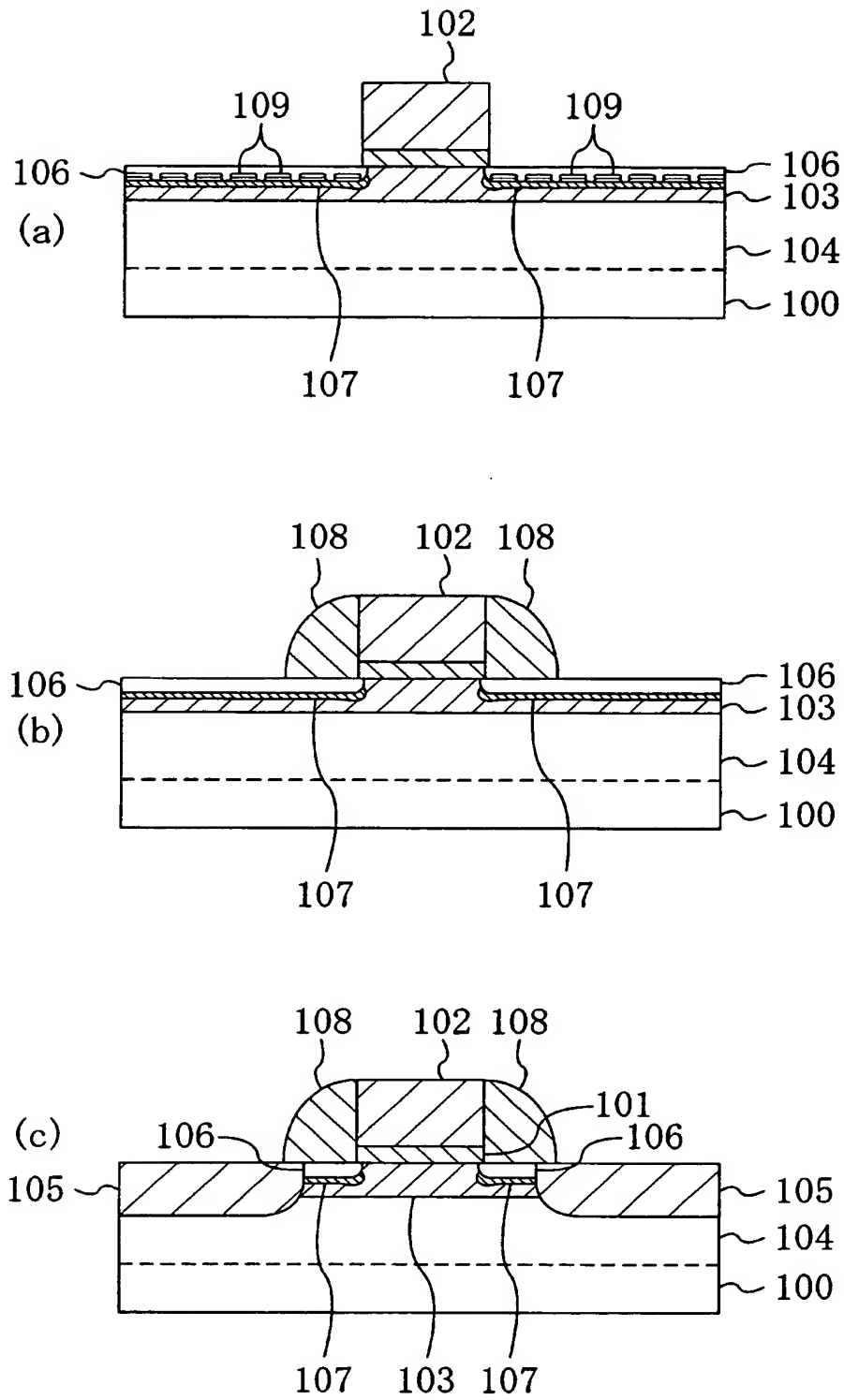
【図 6】



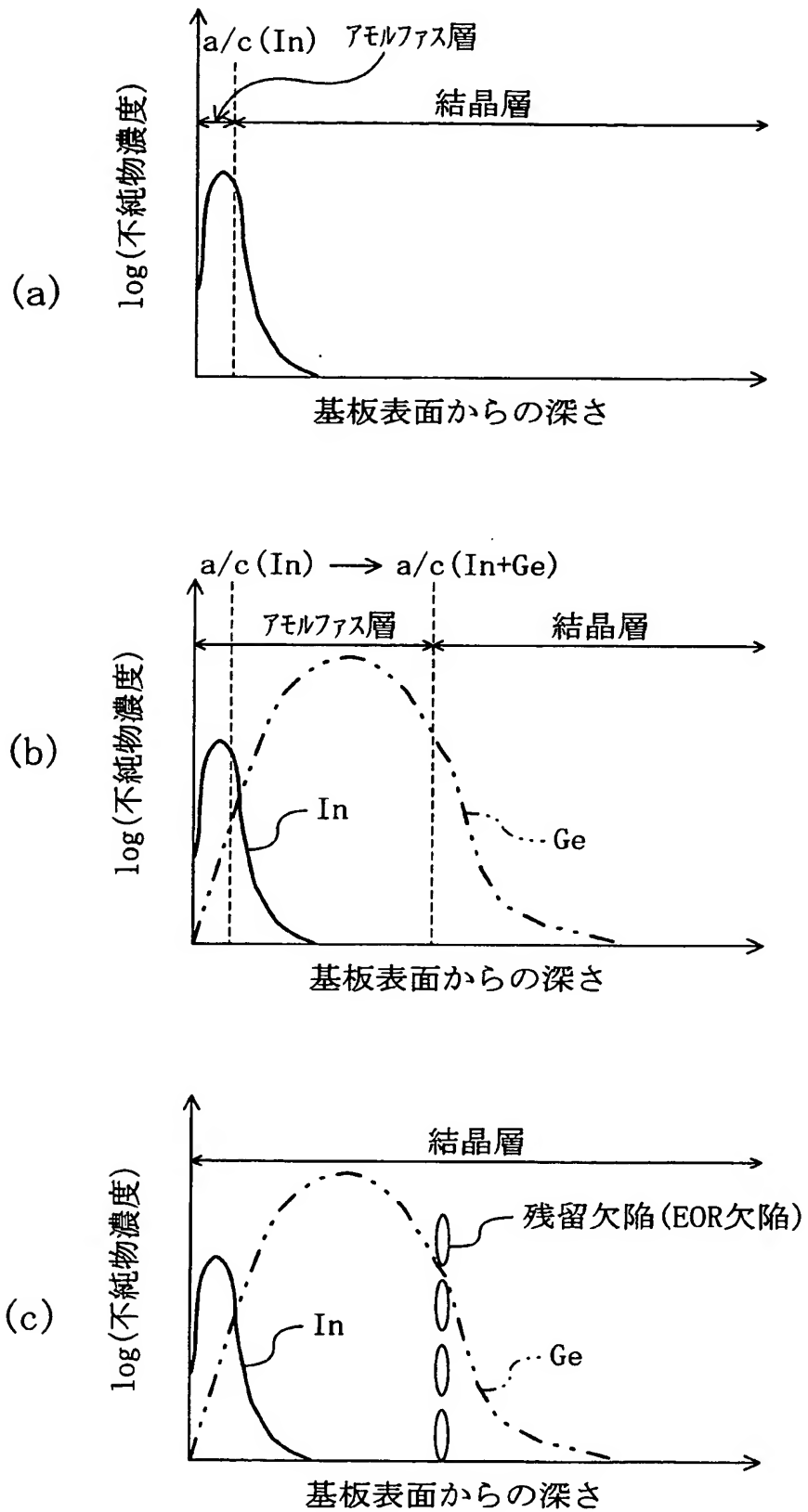
【図 7】



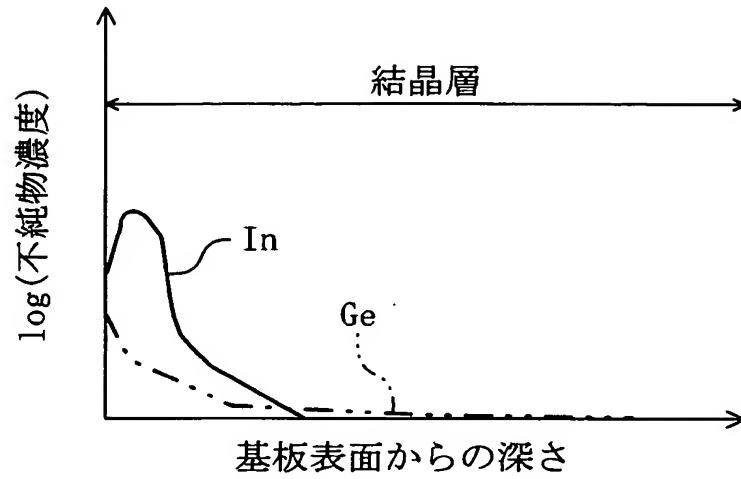
【図 8】



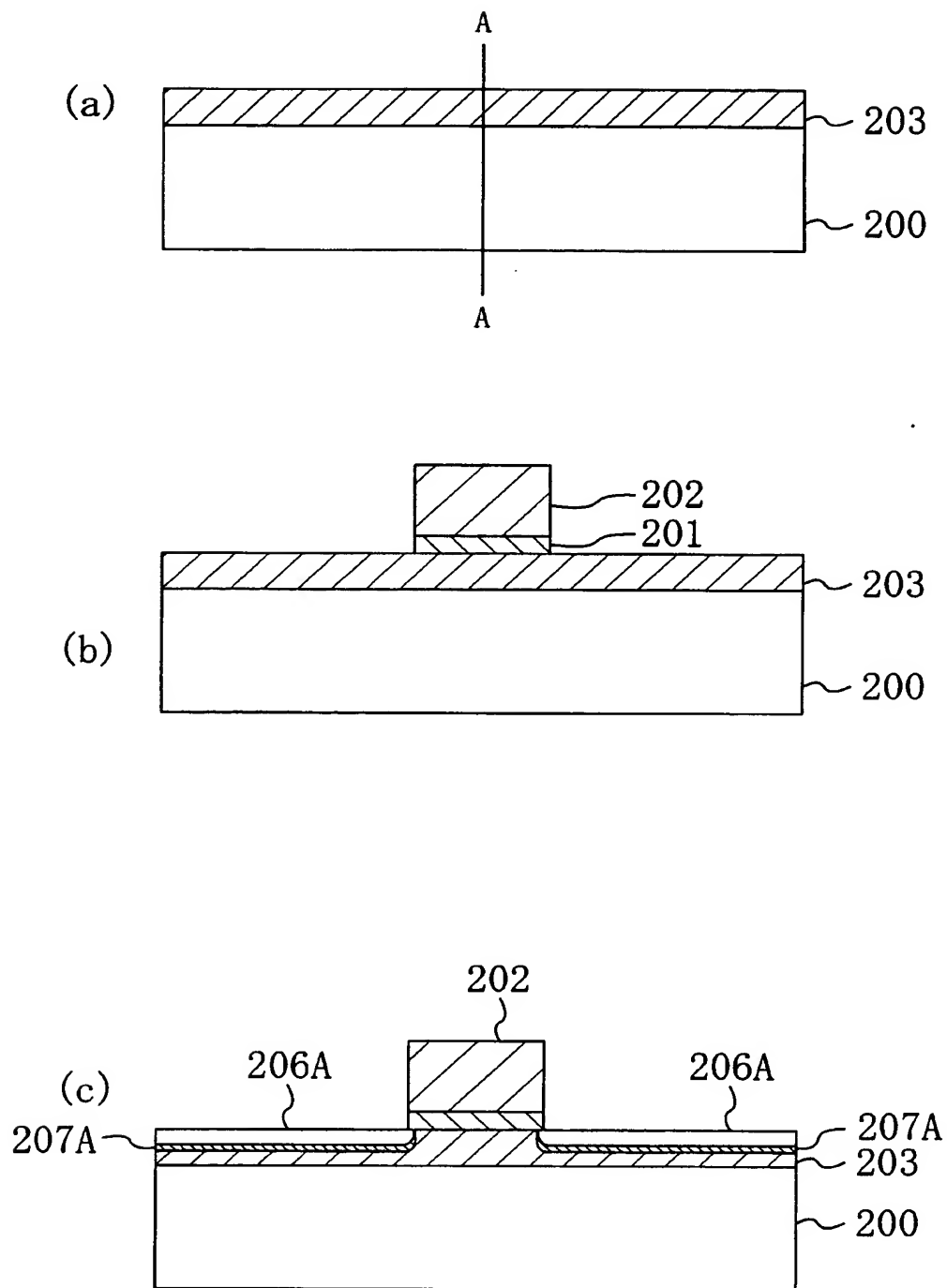
【図9】



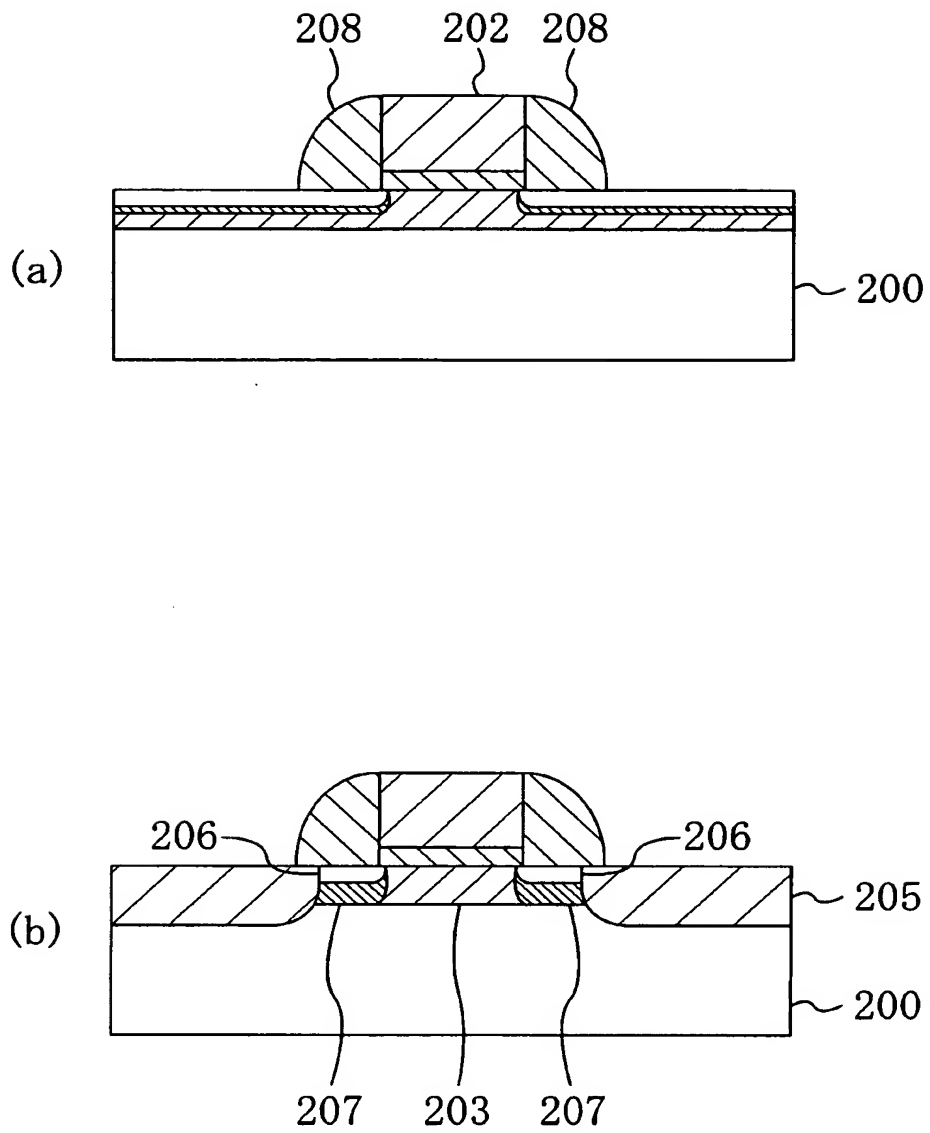
【図 1 0】



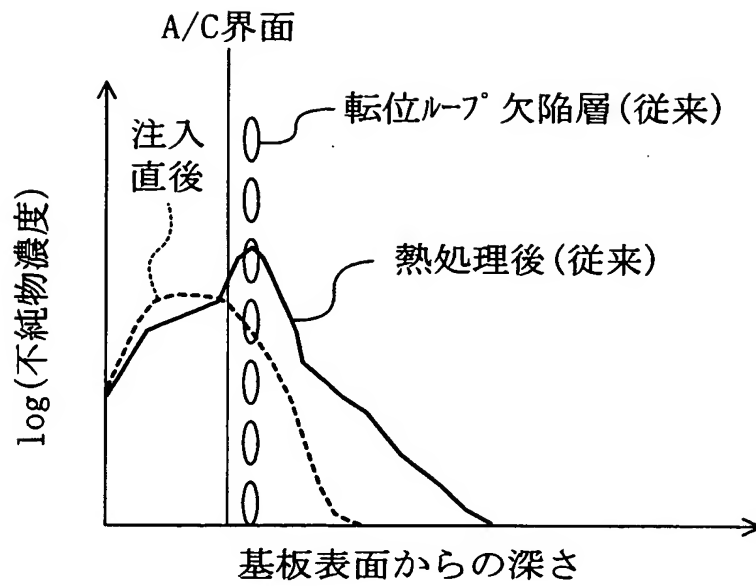
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 微細化に伴う短チャネル効果の顕在化を抑制しながらチャネル拡散層の濃度を確実に高くでき、且つ低しきい値電圧及び高濃度チャネルに起因するリーク電流の増大を抑制できるようにする。

【解決手段】 P型シリコンからなる半導体基板100のチャネル形成領域に、注入エネルギーが約70keVで注入ドーズ量が $5 \times 10^{13} / \text{cm}^2$ 程度のインジウムイオンをイオン注入し、P型チャネル不純物層103Aを形成する。次に、半導体基板100の上部に、注入エネルギーが約250keVで注入ドーズ量が $1 \times 10^{16} / \text{cm}^2$ 程度のゲルマニウムイオンをイオン注入することにより、半導体基板100におけるP型チャネル不純物層103Aよりも深い領域にアモルファス層104Aを形成する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 { 0 0 0 0 0 5 8 2 1 }

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社